

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-139775

(43)公開日 平成8年(1996)5月31日

(51)Int.Cl.⁹

H 0 4 L 27/22

識別記号

庁内整理番号

F I

技術表示箇所

9297-5K

H 0 4 L 27/22

C

審査請求 未請求 請求項の数2 F D (全11頁)

(21)出願番号

特願平6-304271

(22)出願日

平成6年(1994)11月14日

(71)出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72)発明者 和田 善生

神奈川県高座郡寒川町小谷二丁目1番1号

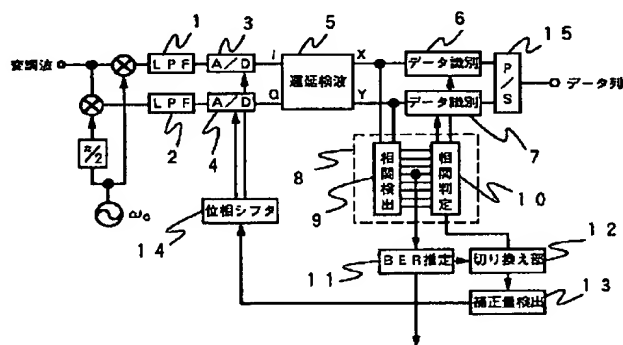
東洋通信機株式会社内

(54)【発明の名称】 デジタル復調装置

(57)【要約】

【目的】 ビットエラーレートの変動に関わらず極めて短時間に復調のタイミングポイントを検出し、良好な復調信号を得ることが可能なデジタル復調装置を提供する。

【構成】 相関判定手段と補正量検出部との間に切り換え部を設け、該切り換え部はビットエラー推定手段の出力に基づいて相関検出手段と補正量検出手段との接続状態を切り換えて、ビットエラーレートが大きい場合には最大の相関およびこれに次いで大きい相関を呈する相関データの2出力を選択し、ビットエラーが小さい場合には前記2出力に次いで順次大きい相関を呈する相関データの2出力を選択するので、ビットエラーレートが小さい場合であっても確実に正しいタイミングポイントを検出することができる。



1

【特許請求の範囲】

【請求項 1】 変調波を所定の検波手段により検波した検波信号を、タイミングクロック信号に基づき、復調するデジタル復調装置に於いて、
復調過程の信号を単位データ周期（シンボル周期）毎に予め設定した複数の抽出ポイントにてサンプリングし、相隣接する 2 つの抽出ポイント毎の相関を検出する相関検出手段と、
該相関検出手段により検出された相関の大きさを比較し最大となる抽出ポイント対及びこれに次いで相関が大きい抽出ポイント対を判定すると共に該判定に基づきタイミングクロック信号を生成する相関判定手段と、
検出した相関の分布に基づいてビットエラーレートを推定するビットエラーレート推定部と、
前記ビットエラー推定結果に基づいて位相ズレの補正に最適な 2 つの抽出ポイント対を選択する切り換え部と、
前記 2 つの抽出ポイント対より検出される相関が等しくなるように前記復調過程の信号の位相をシフトする位相シフト手段とを具備したことを特徴とするデジタル復調装置。

【請求項 2】 変調波を所定の検波手段により検波した検波信号を、タイミングクロック信号に基づき、復調するデジタル復調装置に於いて、
復調過程の信号を単位データ周期（シンボル周期）毎に予め設定した複数の抽出ポイントにてサンプリングし、相隣接する 2 つの抽出ポイント毎の相関を検出する相関検出手段と、
該相関検出手段により検出された相関の大きさを比較し最大となる抽出ポイント対及びこれに次いで相関が大きい抽出ポイント対を判定すると共に該判定に基づきタイミングクロック信号を生成する相関判定手段と、
少なくとも 2 の前記相関を取り出してその差に基づいてビットエラーレートを推定するビットエラーレート推定部と前記ビットエラーレート推定値が大きい場合には最大の相関およびこれに次いで大きい相関を呈する抽出ポイント対の 2 出力を選択しビットエラーレート推定値が小さい場合には前記 2 出力に次いで順次大きい相関を呈する抽出ポイント対の 2 出力を選択する切り換え部と、
前記切り換え部より入力した 2 つの抽出ポイント対より検出される相関が等しくなるように前記復調過程の信号の位相をシフトする位相シフト手段とを具備したことを特徴とするデジタル復調装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル信号により変調した変調波を復調する回路、殊に差動符号化による変調を施した角度変調波を非同期に復調するデジタル復調装置に関する。

【0002】

【従来の技術】 デジタル信号の変復調方式としては、

2

デジタル信号の状態値に応じて搬送波の振幅を変化せしめる振幅変調方式、位相あるいは周波数を変化せしめる所謂角度変調方式がよく知られており、デジタル移動通信の分野では伝送路に於ける振幅歪みの影響を受けにくい角度変調方式を用いるのが一般的である。

【0003】 まず角度変調について耐歪特性が優れた移動通信に適した $\pi/4$ シフト 4 相位相変調（ $\pi/4$ シフト QPSK）方式を例に簡単に説明する。図 4 は $\pi/4$ シフト QPSK 変調装置の基本構成を示すブロック図である。シリアル/パラレル変換器 36 は入力したデジタルの 2 値データ列を 2 ビットを一組とする単位データ（X、Y）に変換する。この単位データを一般に 1 シンボルと称し、これを一周期として処理が進められる。差動符号化回路 37 は信号の変化分（差分）に対して（X、Y）の情報を担わせた I チャネルと Q チャネルとから成るベースバンド信号を生成し、該ベースバンド信号はローパスフィルタ（LPF）38、39 により帯域制限される。而して、搬送波 ω_c の同相、直交成分を夫々この帯域制限されたベースバンド信号に乗算することにより振幅変調した後、双方を合成して変調波を得るものである。

【0004】 尚、 $\pi/4$ シフト QPSK 方式は、2 値信号“1”、“0”に応じて振幅“A”、“-A”を割り当てると共に、1 シンボルについて 4 つの信号点データ（I、Q）を与え、これを基に位相変調を行なう 4 相位相変調（QPSK）方式を基本としたものである。即ち I、Q の信号点配置を示す図 5（a）の如く、1 シンボル毎に図中黒点で示す QPSK の信号点配置と、これを $\pi/4$ シフトした図中白ヌキ点で示す信号点配置とを交互に用いて位相変調を行なう方式である。従って、先行するシンボルとの位相差 $\Delta\Phi$ は必ず $\pi/4$ の奇数倍となり、入力された単位データ（X、Y）との関係は図 5 4（b）で表現できる。

【0005】 以上、角度変調について簡単に述べたが、変調波を復調する方式としては同期検波方式と遅延検波方式がよく知られている。理論的には同期検波方式の方が優れた特性を有するが、高速なフェージングが発生し易い条件下では却って不利であり、特に急激な位相変動が発生し易いデジタル移動通信に於いては同期検波方式より良好な特性を示す遅延検波方式が適している。遅延検波方式は、所定の遅延時間を有する遅延回路で遅延された変調波を基準として、次の変調波を検波するものであるから、上述の如く差動符号化された信号で変調された変調波であることが必要である。また、搬送波再生が不要となり同期検波に比して構成が簡単であるため移動通信に適している。

【0006】 例えば、前述の $\pi/4$ シフト QPSK の場合、1 シンボル先行した変調波の位相を基準として、次の変調波を検波することにより両者の位相差 $\Delta\Phi$ を求め、これを図 5（b）に従って復号すればよい。図 6 は

3

$\pi/4$ シフトQPSK変調波を、遅延検波を利用して復調する従来のデジタル復調装置の一例を示すブロック図である。位相変調波を搬送波と等しい周波数の信号 ω_c およびこれを $\pi/2$ シフトした信号により、夫々IチャネルとQチャネルのベースバンド信号に変換する。このI信号とQ信号は夫々ローパスフィルタ1、2を介してアナログ/デジタル変換器(A/D)3、4にてデジタル化される。デジタル化された信号I、Qを、遅延検波回路5にて1シンボル先行する信号との信号点配置の違い、即ち位相差 $\Delta\phi$ を検出すると共に図5

(b)に示した関係に基づきX、Yに復号する。遅延検波回路5からの検波信号は、データ識別部6、7およびクロック再生回路8に出力される。クロック再生回路8は相関検出回路9および相関判定回路10とから成り、後述するタイミングポイントを決定し、これに基づいて1シンボル周期毎にタイミングクロック信号をデータ識別部6、7に供給する。

【0007】図7(a)は遅延検波回路5のX側出力端からの検波信号を複数回重ね書きしたことにより得られたアイパターンであって、2値信号(X=)1または0が確定するアイの最も開いたポイント(タイミングポイント)40に於ける信号レベルを各シンボルの復調データとして識別するのが一般的である。従ってクロック再生回路8は、図7(b)に示すように1シンボル周期毎に所定の抽出ポイント(同図に於いては1シンボル当たり8ポイント)にて信号のレベルをサンプリングし、隣り合った抽出ポイントのサンプリングデータ同志、P₁とP₂、P₂とP₃・・・と順次相互の相関を検出した後、この相関データの大小を比較して相関が最大となる抽出ポイント対(同図に於いてはP₄とP₅の対あるいはP₅とP₆の対と予測される)を求め、該抽出ポイント対の一方をタイミングポイントと設定する。

【0008】即ちクロック再生回路8の相関検出回路9は、遅延検波回路5より出力された検波信号X、Yのレベルを1シンボル周期毎に予め設定された複数個の抽出ポイントに於いて夫々サンプリングすると共に、相隣接する2つの抽出ポイントを一組としてサンプリングした信号同志の相関を検出し、検出した相関をX、Y夫々について対応する抽出ポイントの組毎に加算し、夫々を複数シンボル分累積した上で相関判定回路10に出力する。相関判定回路10は、前記相関データの大小を比較して最も相関の大きくなる抽出ポイント対およびこれに次いで大きな相関を呈する抽出ポイント対を検出し、最大の相関を呈する抽出ポイント対の一方の抽出ポイントをタイミングポイントと判定すると共に該タイミングポイントに基づきタイミングクロック信号を生成しデータ識別部6、7に出力する。

【0009】また補正量検出部13は前記2つの抽出ポイント対に於ける相関データの差に基づき周波数ドリフトによる位相のズレを検出する。位相シフト14は前記

4

相関が等しくなるよう復調過程の信号の位相を補正する方向にシフトする。図8(a)は抽出ポイントに対する相関値分布を示す図であって、P₄とP₅の抽出ポイント対で最大の相関を取るから、P₄あるいはP₅のいずれか一方をタイミングポイントとして選択することになるが、真のタイミングポイントとの間にズレがあり、殊にP₄のポイントを選択した場合にはズレが大きくなりビットエラーの発生する可能性が高くなるため、補正量検出部はこのズレに対する補正量を検出し、さらに位相シフトが相関が最大となった抽出ポイント対およびこれに次いで大きな相関を呈する抽出ポイント対(ほとんどの場合両者は隣接している)の相関が等しくなるよう図8(b)の如く復調過程にある信号の位相をシフトすることにより、双方の抽出ポイント対に含まれる抽出ポイント(同図に於いてはP₅)を真のタイミングポイントと一致せしめる。

【0010】またビットエラーレート推定部11はクロック再生回路13からの相関値に所定の演算を施すことによりタイミングポイントに於けるビットエラーレートを推定する。一般にビットエラーレートは同期のとれた状態即ちタイミングポイントにて測定し評価するものであるが、図7(b)に示すように1シンボル周期毎に所定の抽出ポイント(同図に於いては1シンボル当たり8ポイント)を設定し、各抽出ポイントについて復調を行った場合のビットエラーレートを推定すると図9

(a)のようになる。ここで、横軸は雑音のパワースペクトル密度N₀と1ビット当たりの信号のエネルギーE_bとの比であって縦軸はビットエラーレートを対数表示したものである。図中42はタイミングポイントP₅、43はP₄あるいはP₆、44はP₃あるいはP₇に於ける曲線であって、当然のことながらタイミングポイントから離れるにしたがってビットエラーレートが大きくなり、各曲線とも雑音の現象(E₀/N_bの増大)に伴いビットエラーレートが減少する右下がりの曲線を呈する。ここで、図9(a)の42と43に着目し、 α 、 β および γ の3点に於けるビットエラーレートの差 ΔBER を求めると、 $\Delta BER_\alpha > \Delta BER_\beta > \Delta BER_\gamma$ となる。同図に於いては各 ΔBER 間に差が殆ど生じないように見えるが、前述した如く縦軸のビットエラーレートは対数表示しているため実際には比較的大きな差が生じる。E₀/N_bが α 、 β および γ の場合について、抽出ポイントとビットエラーレートとの関係を示した図9(b)からも明らかな如く、 ΔBER_α 、 ΔBER_β および ΔBER_γ とが夫々ほぼ1対1に対応し、 ΔBER を測定することでタイミングポイントに於けるビットエラーレートを求めることが可能となる。従って図8(b)の如く同期がとれた状態に於いては前記抽出ポイント対の相関値は前記 ΔBER に相当する値となるから、予め測定により求めた相関値と ΔBER および ΔBER とタイミングポイントに於けるビットエラーレートとの関係を与える統

計値に基づき演算処理を行なうことによって前記相関値よりビットエラーレートを推定することができる。該ビットエラーレート推定値は例えば復調装置の制御系に入力され複数の基地局から最も回線状態の良好な電波が選択される。

【0011】データ識別部6、7は前記タイミングクロック信号に基づき検波信号より基本データ(X、Y)を確定し、該基本データ(X、Y)はパラレル/シリアル変換器15にて変調前の2値データ列の信号に復調される。上述の如く構成することによって1シンボル毎に相関の分布を検出し、これに基づきタイミングポイントを確定することができる。

【0012】しかしながら従来のデジタル復調回路は、ビットエラーレートが低い場合に伝送レートのずれに追従してタイミングポイントを設定できないという欠点を有する。図9(a)および(b)に示したように E_b/N_0 が悪いとき、即ち α のときは ΔBER_α は非常に大きい。従ってタイミングポイントのずれは P_4 、 P_5 および P_5 、 P_6 の相関に相当する ΔBER_α を夫々検出し、これらの差に基づいてタイミングポイントを補正することができる。しかしながら E_b/N_0 が良いとき、即ち γ のときには ΔBER_γ は非常に小さい。タイミングポイントのずれは P_4 、 P_5 および P_5 、 P_6 の相関に相当する ΔBER_γ を夫々検出し、これらの差をとることによって得られるが、 ΔBER_γ が非常に小さい場合は P_4 、 P_5 および P_5 、 P_6 の相関の差は非常に小さく、よって補正がかからない。従ってタイミングポイントにずれが生じて、正しい復調信号を得ることができないという欠点があった。

【0013】

【発明の目的】本発明は上述した如き従来のデジタル復調装置の欠点を除去するためになされたものであって、ビットエラーレートの変動に関わらず極めて短時間に復調のタイミングポイントを検出し、良好な復調信号を得ることが可能なデジタル復調装置を提供することを目的とする。

【0014】

【発明の概要】上述の目的を達成するため本発明は、変調波を所定の検波手段により検波した検波信号を、タイミングクロック信号に基づき、復調するデジタル復調装置に於いて、相関判定手段と補正量検出部との間に切り換え部を設け、該切り換え部はビットエラー推定手段の出力に基づいて相関検出手段と補正量検出手段との接続状態を切り換えて、ビットエラーレートが大きい場合には最大の相関およびこれに次いで大きい相関を呈する相関データの2出力を選択し、ビットエラーが小さい場合には前記2出力に次いで順次大きい相関を呈する相関データの2出力を選択するので、ビットエラーレートが小さい場合であっても確実に正しいタイミングポイントを検出することができるものである。

【0015】

【実施例】図9(a)および(b)に示したようにビットエラーレートが小さい γ の場合において、 P_4 、 P_5 および P_5 と P_6 の相関に相当する ΔBER_γ は共に非常に小さく補正量が検出困難であるため、本発明ではより大きな ΔBER を与えるタイミングポイント対、例えば P_3 、 P_4 および P_6 、 P_7 でもって夫々 ΔBER を検出し、これらの差によって補正量を検出するものである。

【0016】以下、本発明を実施例を示す図面に基づいて詳細に説明する。図1は本発明に係るデジタル復調装置の一実施例の構成を示すブロック図である。位相変調波を搬送波と等しい周波数の信号 ω_c およびこれを $\pi/2$ シフトした信号により、夫々IチャネルとQチャネルのベースバンド信号に変換する。このI信号とQ信号は夫々ローパスフィルタ1、2を介してアナログ/デジタル変換器(A/D)3、4にてデジタル化される。デジタル化された信号I、Qを、遅延検波回路5にて1シンボル先行する信号との信号点配置の違い、即ち位相差 $\Delta\Phi$ を検出すると共に図7(b)に示した関係に基づきX、Yに復号する。遅延検波回路9からの検波信号は、データ識別部6、7およびクロック再生回路8に出力される。

【0017】クロック再生回路8の相関検出回路9は、前記検波信号X、Yのレベルを、1シンボル周期毎に予め設定された複数の抽出ポイントに於いて夫々サンプリングすると共に、相隣接する2つの抽出ポイントを一組としてサンプリングした信号同志の相関を検出し、検出した相関をX、Y夫々について対応する抽出ポイントの組毎に加算し、夫々を複数シンボル分累積した上で相関判定回路10に出力する。相関判定回路10は、前記相関検出回路9に蓄積された相関データの大小を比較して最も相関の大きくなる抽出ポイント対およびこれに次いで大きな相関を呈する抽出ポイント対を検出し、最大の相関を呈する抽出ポイント対の一方の抽出ポイントをタイミングポイントと判定すると共に該タイミングポイントに基づきタイミングクロック信号を生成しデータ識別部6、7に出力する。

【0018】またビットエラーレート推定部11はクロック再生回路8からの相関値に所定の演算を施すことによってタイミングポイントに於けるビットエラーレートを推定する。同期がとれた状態に於いては前記抽出ポイント対の相関値が ΔBER に相当する値となるから、予め測定により求めた相関値と ΔBER および ΔBER とタイミングポイントに於けるビットエラーレートの関係を与える統計値に基づき演算処理を行なうことによって前記相関値よりビットエラーレートを推定することができる。該ビットエラーレート推定値は切り換え部12に入力されると共に復調装置の制御系に入力され複数の基地局から最も回線状態の良好な電波が選択される。

【0019】切り換え部12は前記ビットエラーレート

推定値に基づいて最適な出力が選択するので、相関判定回路 10 の出力のうち位相ズレの検出に最適な 2 つの抽出ポイント対が補正量検出部 13 に入力される。ビットエラーレート推定値が大きい場合には補正量検出部 39 は前記最大およびこれに次いで大きな相関を呈する相関データを入力すると共にこの差に基づき周波数ドリフトによる位相のズレを検出し、ビットエラーレートが小さい場合には前記 2 つの相関データに順次次いで大きい 2 つの相関データを入力し、該相関データの差に基づき周波数ドリフトによる位相のズレを検出する。続いて補正量検出部 13 の出力に従って位相シフタ 14 は復調過程の信号の位相を補正する方向にシフトする。

【0020】データ識別部 6、7 は相関判定回路 10 で生成されたタイミングクロック信号に基づいて検波信号 X、Y を復号する。復号された信号はパラレル/シリアル変換器 15 にてデータ列に復調される。上述の如く構成することによって 1 シンボル毎に相関の分布を検出し、これに基づきタイミングポイントを確定することができる。またビットエラーレート推定値に応じて位相ズレを検出するための抽出ポイント対を選択するので確実にタイミングポイントのズレを検出することができる。

【0021】図 2 は本発明に係るディジタル復調装置の第 2 の実施例の構成を示すブロック図であって、中間周波 (IF) に変換された位相変調波を復調するものである。位相変調波はリミッタ回路 16 を通過することにより振幅値が整えられ、位相量子化回路 17 にて位相量子化される。位相量子化された信号を 1 シンボル周期の遅延時間を有する遅延回路 18 を用いて、1 シンボル先行する信号との差をとることによって、位相差 $\Delta\Phi$ が量子化信号として得られる。

【0022】例えば、IF 周波数が 450 kHz、1 シンボル周期 (周波数) が 21 kHz であって、位相量子化回路 17 にクロック 19 より 12.6 MHz のパルス信号を、これを分周器 20 で 1/75 分周した 168 kHz のパルス信号を入力せしめた場合、位相変調波は分周器 20 からのパルス信号により 1 シンボル当たり 8 つの要素に分割され、各要素は位相に応じてクロック 19 からのパルス信号により量子化を施される。IF とクロック 19 のパルス信号との周波数比から各要素は 0 乃至 27 個のパルス信号で位相が表現され位相差 $\Delta\Phi$ も 0 乃至 27 個のパルス信号で量子化された形態で出力され、位相差 $\Delta\Phi$ とパルス数との関係は図 5 (a) のように座標を 28 分割したものと表すことができる。復号回路 21 は入力される各要素のパルス数から図 5 (a) の座標上どの象限にあるかによって位相差 $\Delta\Phi$ を図 5

(b) に基づき決定し、図 7 (b) に従ってディジタル信号 X、Y に復号される。このディジタル信号 X、Y はいずれも 1 シンボル周期当たり 8 個のデータ列をなしているから、夫々シリアル/パラレル変換器 22、23 にて並列化され、ラッチ回路 24、25 にて 1 シンボル周

期毎にラッチされる。ラッチ回路 24、25 の出力について相隣接したビット同志を一組として XOR ゲートに入力せしめ相関を検出し、その出力は X、Y 夫々について対応する組毎に加算されカウンタに所定シンボル数分だけ蓄積する。カウンタのデータを取り込んだ相関判定回路 26 は、最も相関の大きくなる抽出ポイント対およびこれと隣り合う相関が大きい方の抽出ポイント対を検出し、双方の抽出ポイント対に属する抽出ポイントをタイミングポイントと判定すると共に該タイミングポイントに基づきタイミングクロック信号を生成する。

【0023】またビットエラーレート推定部 27 はカウンタ 4 からの相関値に所定の演算を施すことによってタイミングポイントに於けるビットエラーレートを推定する。この出力は切り換え部 28 に入力されると共に図示しない復調装置の制御系に入力される。切り換え部 28 はビットエラーレート推定結果に基づいてカウンタ 3 乃至 6 から 2 つのカウンタ出力を選択する。例えばビットエラーレート推定値が大きい場合にはカウンタ 4 及び 5 の出力を取り出し、ビットエラーレート推定値が小さい場合にはカウンタ 3 及び 6 の出力を取り出す。補正量検出部 29 は切り換え部 28 を介して入力されたカウンタ出力を基に周波数ドリフトによる位相ズレを検出し、これに基づいて位相シフタ 30 および補正遅延回路 31 が復調過程にある信号の位相をシフトする。相関判定回路 26 が判定した 2 つの抽出ポイント対が第 4、第 5 組目のカウンタと一致するようにラッチタイミング回路 32 はタイミングクロック信号に基づきラッチ回路 24、25 がデータをラッチするタイミングをずらす。よって、ラッチ回路 24、25 の出力端の 5 ビット目から引き出される信号は、夫々タイミングポイントに於ける信号 X、Y となるから、これをパラレル/シリアル変換器 33 にてデータ列に変換すれば復調信号を得ることができる。ここで図 4 中 34 はラッチのタイミングである 1 シンボル周期を供給するための分周器であり、分周器 35 はこれをさらに分周してカウンタのカウントシンボル数を供給するものである。

【0024】以上説明した如く、本発明のクロック再生回路は復号化されたディジタル信号について所定のサンプリングを行ない、隣り合ったデータ同志の相関をとるものであるから、タイミングポイントを短時間に得ようとする場合等に極めて有効である。また、本発明のクロック再生回路はアイパターンのアイが最も開いたポイントを直接捕える方式であるからゼロクロス近傍の雑音による影響を受けにくく、変調波を 1 シンボル復調する度にタイミングポイントを更新するからフェージングによる位相ずれに高速に追従する。さらに、相関が最大となる 2 組の抽出ポイント対を 1 シンボル周期毎に比較し、位相ズレを補正することにより周波数ドリフトに対する追従が向上する。

【0025】尚、以上本発明をディジタル信号を位相変

10

20

30

40

50

調した変調波を遅延検波を用いて復調する装置を例として説明したが、本発明はこれのみに限定されるものではなく、デジタル信号を変復調する系に用いる復調装置であればどのような方式であってもよく、例えば周波数変調方式あるいは振幅変調方式の復調装置にも適用可能となること明白であろう。また、復調装置に於いて、変調波から復号までの課程はどのような手法を用いたものであっても適用可能である。例えば、同期検波方式の復調装置に於いて、先行するプリアンプル信号と次に到達するプリアンプル信号との間の位相ずれを補完するために本発明を適用してもよい。さらに、実施例に於いては相関を検出する手段としてXORゲートを用いたが、入力する2値が一致した場合と一致しなかった場合とを区別するものであれば、NXORゲート等の他の回路で構成したものであってもよい。更に実施例に於いては検波され復号されたデジタル信号(X、Y)について相関を検出しタイミングポイントを決定していたが、例えば図1に於いてLPF1、2を通過した信号を遅延検波した後A/D変換するような構成に変更した場合、デジタル化していない遅延検波後の信号について相関を検出してよく、この場合抽出ポイント毎のサンプリングデータ同志を掛け算した結果の大小が相関のそれに対応するから、相関検出手段としては乗算器を用いればよい。よって、同期検波方式に於いてはベースバンド信号(I、Q、 $\Delta\Phi$)、あるいはこれをデジタル化した信号(多値デジタル信号)について相関を検出するよう構成してもよいこと自明であろう。

【0026】

【発明の効果】本発明は以上説明した如く構成するものであるから、伝送レートの変動によって生じるビットエラーレートの変化に追従して最適な位相シフト量を決定することができ、従ってタイミングポイントがアイパターンのアイが最も開いた点に追従するから、ゼロクロス近傍での雑音或はフェージングによる位相ずれに対してもビットエラーの発生を極限する上で著しい効果を奏する。

【0027】

【図面の簡単な説明】

【図1】本発明に係るデジタル復調装置の一実施例の構成を示すブロック図。

【図2】本発明に係るデジタル復調装置の第2の実施例の構成を示すブロック図。

【図3】(a)、(b)は位相量子化回路の動作を説明

する図。

【図4】 $\pi/4$ シフトQPSK変調装置の基本構成を示すブロック図。

【図5】(a)、(b)は $\pi/4$ シフトQPSK変調方式を説明する図。

【図6】従来の復調装置の基本構成を示すブロック図。

【図7】(a)、(b)は検波信号のアイパターン図。

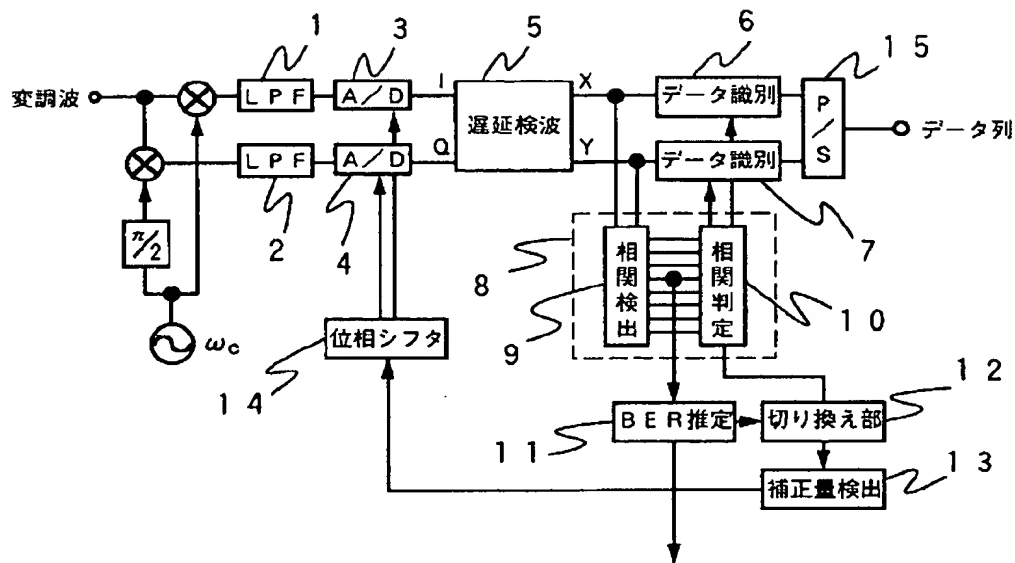
【図8】従来の復調装置の基本構成を示すブロック図。

【図9】(a)、(b)は検波信号のアイパターン図。

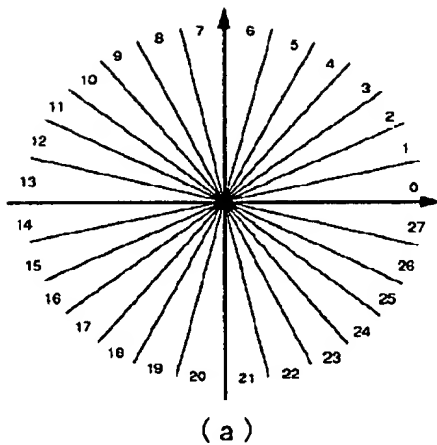
【符号の説明】

1、2・・・ローパスフィルタ	3、4・・・A/D変換器
5・・・遅延検波回路	6、7・・・データ識別部
8・・・クロック再生回路	9・・・相関検出回路
10・・・相関判定回路	11、27・・・ビットエラーレート推定部
12、28・・・切り換え部	13、29・・・補正量検出部
14・・・位相シフタ	15、31・・・補正遅延回路
5・・・パラレル/シリアル変換器	16・・・リミッタ
17・・・相量子化器	18・・・遅延回路
19・・・クロック	20・・・分周器
21・・・復号回路	22、23・・・シリアル/パラレル変換器
24、25・・・ラッチ回路	26・・・相関判定回路
30・・・位相シフタ	31・・・補正遅延回路
32・・・位相シフタ	33、34・・・分周器
36・・・シリアル/パラレル変換器	37・・・差動符号化器
38、39・・・ローパスフィルタ	40・・・タイミングポイント
41・・・ゼロクロスポイント	42・・・タイミングポイントP ₅ における曲線
43・・・タイミングポイントP ₄ 、P ₆ における曲線	44・・・タイミングポイントP ₃ 、P ₇ における曲線

【図1】



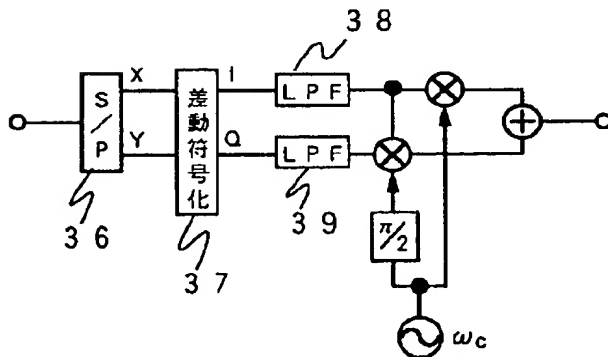
【図3】



象 限	$\Delta\phi$
第1	$+\pi/4$
第2	$+3\pi/4$
第3	$-3\pi/4$
第4	$-\pi/4$

(b)

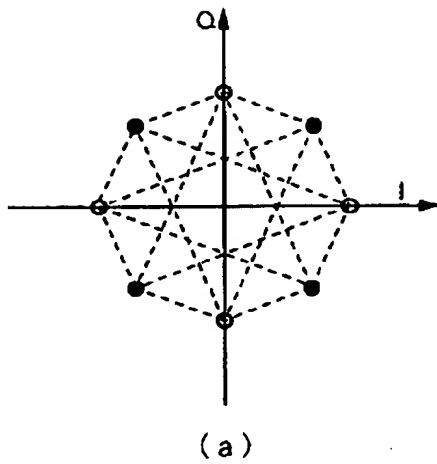
【図4】



[illegible]

1シンボル周期=21kHz

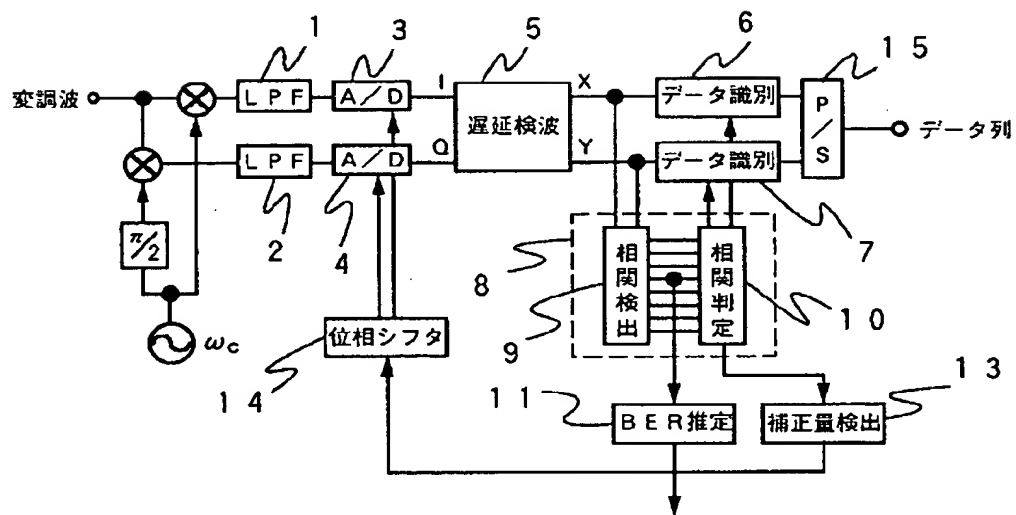
【図 5】



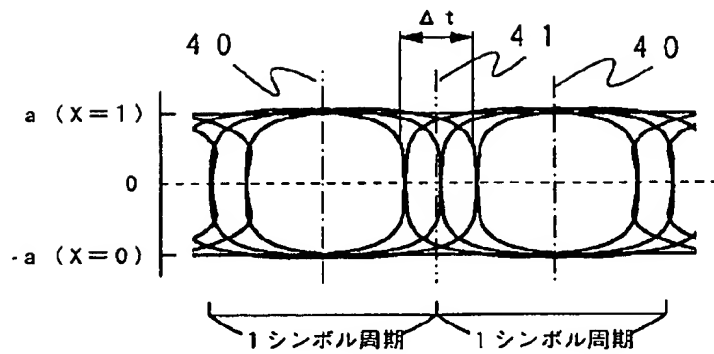
X	Y	$\Delta\phi$
0	0	$+\pi/4$
0	1	$+3\pi/4$
1	0	$-\pi/4$
1	1	$-3\pi/4$

(b)

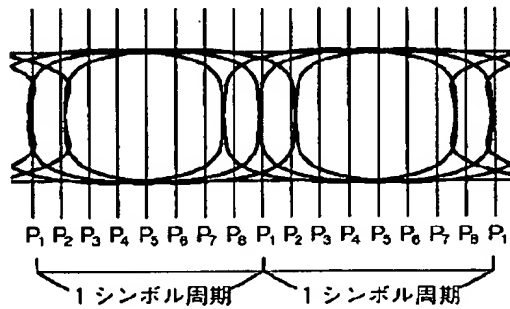
【図 6】



【図 7】

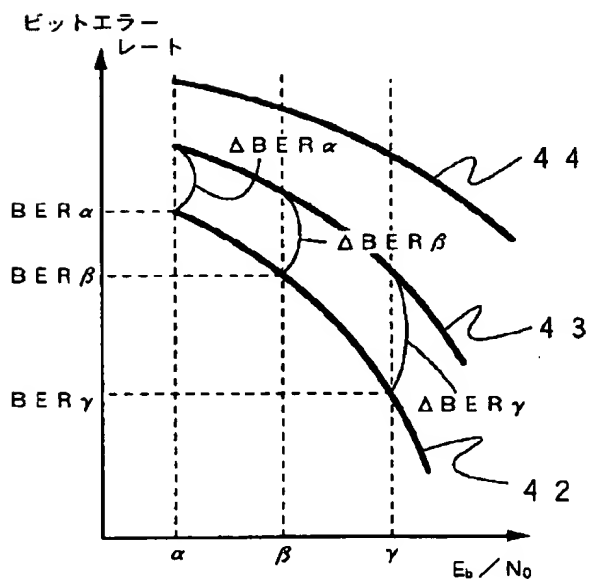


(a)

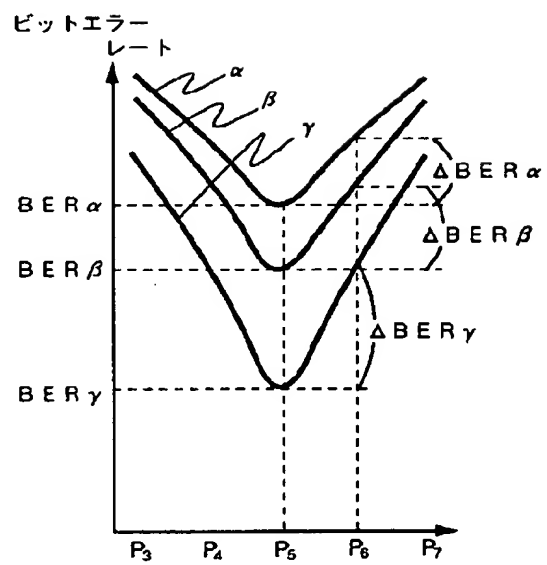


(b)

【図 9】

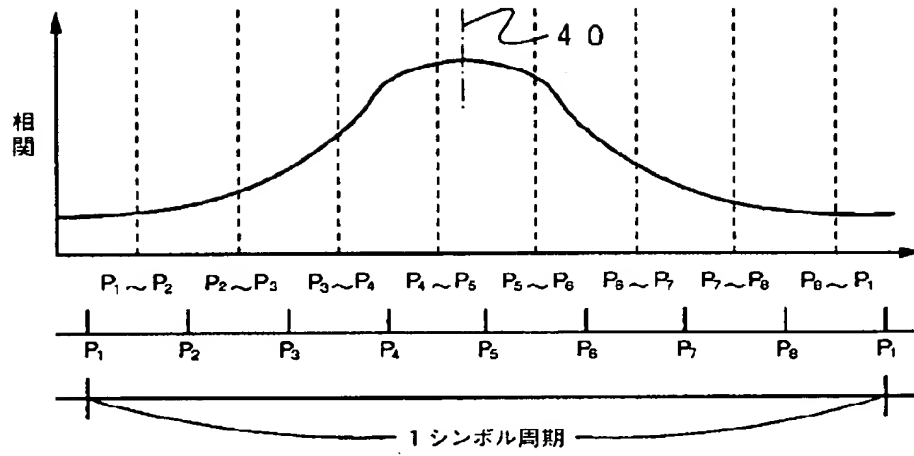


(a)

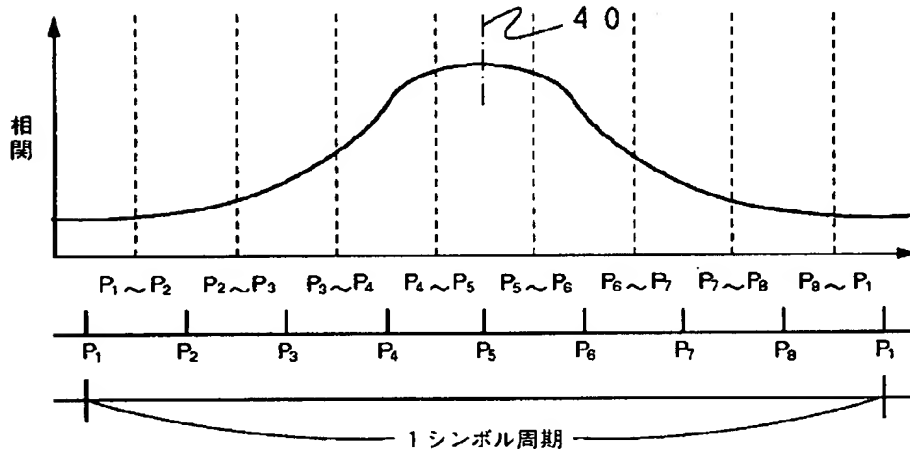


(b)

【図8】



(a)



(b)